

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-231418

(43)Date of publication of application : 14.09.1989

(51)Int.Cl.

H03K 3/356

H03K 5/02

H03K 19/00

(21)Application number : 63-056145

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.03.1988

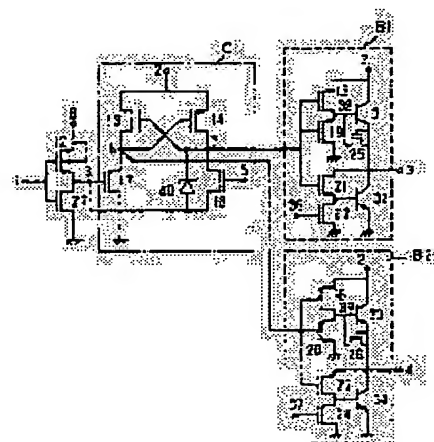
(72)Inventor : HIGUCHI HISAYUKI
SUZUKI MAKOTO
TACHIBANA MASARU

(54) INPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To attain high speed processing and to reduce the power consumption by using an inverter circuit so as to apply waveform shaping to an input signal, giving the resulting signal to a gate of a MOSFET of a flip-flop circuit comprising P-channel and N-channel MOSFETs and to a source of the same channel MOSFET opposite thereto and operating the MOSFETs.

CONSTITUTION: An input signal is waveform-shaped by inverter circuits 12, 27 and given to a gate of a MOSFET 17 of a flip-flop circuit C and to a source of a MOSFET 18 of the same channel as the MOSFET 17 opposite to the MOSFET 17, an affirmative and a negative signal with respect to the input signal are generated at the nearly same delay time by operating both the MOSFETs 17, 18 complementarily with respect to the input signal. Since the flip-flop circuit C is used in this way, a current flows only in a transient way only when the input signal 1 is switched, no steady-state current exists and the amplified affirmative and negative signals with respect to the input signal are extracted from an intermediate terminal 7 of the flip-flop circuit 7. Thus, the power consumption is reduced and high speed processing is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-231418

⑪ Int. Cl.⁴H 03 K 3/356
5/02
19/00

識別記号

1 0 1

庁内整理番号

E-8626-5J
Z-7631-5J
E-8326-5J

⑬ 公開 平成1年(1989)9月14日

審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 入力バッファ回路

⑮ 特 願 昭63-56145

⑯ 出 願 昭63(1988)3月11日

⑰ 発 明 者 樋 口 久 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 鈴 木 誠 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 橘 大 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

入力バッファ回路

2. 特許請求の範囲

1. 入力信号端子と、該入力信号端子からの入力信号を波形整形するインバータ回路と、該インバータ回路の出力が遅かれ、P型MOSFETとN型MOSFETとを少なくとも有し、上記出力が、上記MOSFETのうち、一方のMOSFETのゲート電極および該MOSFETと相対する両導電型のMOSFETのソースに導かれ、該両MOSFETは相補的に動作し、かつ、上記入力信号の肯定および否定信号をほぼ同一遅延時間で発生するフリップ・フロップ回路とを具備することを特徴とする入力バッファ回路。

2. 上記相補的に動作する上記MOSFETのうち、一方のMOSFETのゲート電極に供給する電圧を、該MOSFETのしきい値電圧に応じて変化させることを特徴とする特許請求の範

図第1項記載の入力バッファ回路。

3. 当該入力バッファ回路の出力をMOSFETのゲートに接続し、その出力をバイポーラ・トランジスタもしくはCMOSFETのインバータに接続して負荷駆動能力を付与することを特徴とする特許請求の範囲第1項記載の入力バッファ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路の入力バッファ回路に関する。

〔従来の技術〕

従来の半導体集積回路においては、例えば、アイ・イー・イー・イー ジャーナル オブ ソリッド ステイト サーキッツ (IEEE Journal of Solid State Circuits) SC-19巻、545-551頁(1984年)に記載されているように、入力信号線に入力信号が印加されたとき、半導体集積回路の内部回路に信号を伝達する前に、該内部回路に好適な信号振幅になるように、入力バッファ

回路が設けられており、この入力バッファ回路には、定常的に電流が流れる回路が用いられている。
〔発明が解決しようとする課題〕

このため、従来の入力バッファ回路では、半導体集積回路の総消費電力の30%以上をこの入力バッファ回路が消費するという問題があった。また、この入力バッファ回路の消費電力を制限すると、高速化が困難となる。すなわち、消費電力と動作速度とはトレードオフの関係にあった。さらに、従来の入力バッファ回路では、入力信号の肯定信号と否定信号とを発生させるために、CMOSインバータ回路を1段設けているために、該両信号を発生させる際に、インバータ回路1段分の時間差が生じるので、この時間差を調整するような回路を採用する必要から、入力バッファ回路の遅延時間が増加する問題があった。

本発明の目的は、上記の問題を解決し、消費電力が少なく、かつ、高速な入力バッファ回路を提供することにある。

〔課題を解決するための手段〕

のMOSFETのゲートおよび該MOSFETと相対する該MOSFETと同型のMOSFETのソースに接続し、該両MOSFETを入力信号に対して相補的に動作させることにより、上記入力信号の肯定および否定信号をほぼ同一遅延時間で発生させることを特徴とする。

〔作用〕

本発明では、上記のように、特に、入力信号をインバータ回路で波形整形し、その出力をP型MOSFETとN型MOSFETとによって構成されたフリップ・フロップ回路のMOSFETのゲートおよび相対する同型MOSFETのソースに接続して、フリップ・フロップ回路を動作させることによって高速動作をし、かつ、消費電力の小さい入力バッファ回路を実現した。

本発明は、フリップ・フロップ回路を用いるので、入力信号が切り替わったときのみ、過渡的に電流が流れるのみで、定常的な電流がなく、かつ、フリップ・フロップ回路の中間端子から増幅された入力信号の肯定と否定の信号を取り出すことが

(2) 最近、CMOSデバイスとバイポーラ・トランジスタとを同一チップ内に形成することが可能となり、入力バッファ回路もこれらデバイスの複合回路によって構成できるようになった。このような状況のもとで、本発明者らは、入力バッファ回路の消費電力低減と遅延時間の短縮を検討し、その結果、次のことを見出した。すなわち、フリップ・フロップ回路では、定常的な電力消費がないこと、および入力信号の肯定および否定信号が極めて小さい時間遅れで発生できること、さらに、フリップ・フロップ回路の負荷を小さく調整することによって高速動作を達成できることである。

すなわち、本発明の入力バッファ回路は、上記課題を解決するため、半導体集積回路の入力信号端子からの入力信号を、少なくともP型MOSFETとN型MOSFETで構成されるフリップ・フロップ回路に導き、上記入力信号の増幅を増幅する半導体集積回路の入力バッファ回路において、上記入力信号をインバータ回路に導き、波形整形した後、その出力を上記フリップ・フロップ回路

でき、従来の課題を解決できる。さらに、本発明によれば、定常電流を流してもよく、これによりさらに高速動作をする回路を実現できる。

〔実施例〕

第1図は、本発明の一実施例の入力バッファ回路を示す回路図である。

電源電圧を5Vとし、電源端子2に該電源電圧を供給する。また、端子8には入力端子1に供給される信号が高レベルのときにP型MOSFET12が遮断状態になり、電流がほとんど流れないような一定電圧を与える。この状態で入力端子1の電位が低レベルから高レベルに変化すると、インバータの出力端子3の電位は、高レベル(端子8の電位)から低レベル(接地電位)に変わる。このため、N型MOSFET17は遮断状態となり、一方、N型MOSFET18が導通し、フリップ・フロップ回路の端子7が低レベルとなる。端子7が低レベルになると、P型MOSFET13が導通し、端子6の電位を引き上げ、P型MOSFET14が遮断状態になり、フリップ・フ

ロップ回路には電流が流れなくなつて動作が完了する(すなわち、定常状態となる)。入力端子の電位が高レベルから低レベルに変化したときには、端子3の電位は、低レベルから高レベルになり、N型MOSFET17は導通し、端子6の電位を引き下げる。また、N型MOSFET18は遮断状態となる。この結果、P型MOSFET14が導通し、端子7の電位を引き上げ、P型MOSFET13が遮断状態となって、動作が完了する。ここで、端子5に供給する電位は、端子8に供給する電位にMOSFET18のしきい値電圧を加えた電位が望ましい。このような電位を与えておくと、入力端子1の電位が低レベルのときに、MOSFET18が遮断状態になり、かつ、端子3の電位が低下したときに、このMOSFET18に最も多くの電流が流れるので、好都合である。ただし、電流が流れないためには、上述の電位より低い電位を与えればよく、また、高速動作を要求するときには、多少電流は流れるが、端子5に上述の電位よりわずかに高い電位を与えてもよい。

また、端子36、37には、一定の電位を供給してバイポーラ・トランジスタ32、34のベース電荷を定常的に引き抜いてもよく、さらに、高速化を図るためには、端子36、37を端子38、39にそれぞれ接続したり、別途、インバータ回路を設け、端子6、7の信号を反転して供給してもよい。さらには、端子36、37を直接、端子6、7に接続することもできる。また、第9図に示すように、端子3の信号やその反転信号を直接利用することもできる。ここで、端子8'には、端子8と同電位を供給してもよく、また、端子8の電位よりP型MOSFET901のしきい値電圧だけ高い電位を供給してもよい。

第2図は、第1図の端子8に供給するのに好適な電源回路を示す回路図である。

本回路の目的は、消費電力を低減するため、入力端子1の高電位が入力したときに、P型MOSFET12が遮断状態になる電位を端子8に与えることにある。端子200、201には、第1図の端子2に供給した電源を接続する。バイポーラ・

(3)

なお、ショットキーダイオード40は、端子3の電位が低レベルから高レベルに変化したときに、端子7を高速に引き上げるために設けたものである。このダイオードは省略することもできる。

引き続き、フリップ・フロップ回路の出力をMOSFETとバイポーラ・トランジスタの複合回路に導き、駆動能力を付与する。破線で囲んだB1の回路は、小さいMOSFETとバイポーラ・トランジスタとによって構成されており、フリップ・フロップ回路の出力端子7の負荷容量を小さくし、フリップ・フロップ回路の遅延時間の短縮を図っている。また、MOSFET25は、バイポーラ・トランジスタのエミッターベース間に逆方向に高い電圧が加わることによるバイポーラ・トランジスタの特性の劣化を防止するためのものである。この複合回路の動作の説明は省略する。回路B2は、回路B1と同じ構成である。回路B1、B2は、MOSFETにより構成される通常のインバータ回路を用いることができることは言うまでもない。

トランジスタ205のベースに供給される電位は、この回路では、5個のダイオードの順方向電圧と、P型MOSFET207のしきい値電圧の電圧降下を加えた値となり、出力端子230には、バイポーラ・トランジスタ205のベース-エミッタ間の電位降下を差し引いた電位が出力される。抵抗203、静電容量220は、出力電位の揺らぎを低減するために設けた平滑回路である。端子230は、第8図の端子8へ接続される。

第3図は、第2図の電源回路と同じ目的で構成され、第2図のものよりダイオード数を減らし、高精度で、かつ所望の電位を発生する回路を示す図である。

抵抗309、310と、バイポーラ・トランジスタ311、205から構成される定電圧発生回路はよく知られている。これに、P型MOSFET207のしきい値電圧を加えて出力電位をこのしきい値電圧の変化に対応させていること、および、MOSFET308によって作った定電流をMOSFET305、306によるカレント・ミ

(4)

ラ回路を用いて同電圧発生回路に定電流を供給していることに特徴がある。このようにすると、端子303、302に供給される電位と、端子230から出力される出力電位が1V程度まで接近しても安定した出力が得られる特長がある。

第4図も、第2図の電源回路と同じ目的で構成されたもので、ダイオード数を減らし、かつ、第3図の回路に比べ、温度に対する変動が少ないバンド・ギャップ基準電圧発生回路を組み込んだ高精度電位発生回路を示す図である。

定電圧発生回路の動作についてはよく知られているので説明を省略するが、ここでも、P型MOSFETのしきい値電圧を組み込んでいること、MOSFETによる定電流回路を用いて第3図と同様の特長を兼ね備えた回路になっている。

第8図は、第1図の端子8に供給する電圧発生回路の他の実施例を示す図である。

第2図～第4図の回路では、端子200、302、303に供給される電位が下がってくると、定電圧発生回路が正常に動作しなくなる。こ

ろを並列に接続すると、電源電圧の広い範囲にわたって、第1図のインバータ回路に電流がほとんど流れることなく、かつ、高速で動作する電位を供給することができる。

以上の各回路では、いくつかの定電圧発生回路とその組み合わせについて述べたが、所定の電位を発生する回路であれば、これらの電源以外の回路を用いることができることは言うまでもない。

第5図は、第1図の回路の端子5に供給するのに好適な電圧発生回路を示す図である。

その構成は、第3図の回路とほぼ同様である。ただし、この回路では、N型MOSFET307のしきい値電圧の変化に対応して出力電圧が変化するように構成している。このようにすると、第1図のMOSFET18のしきい値電圧値が変動したときにも、最も高速に動作し、かつ、電流を最低値に抑えることができる。また、この回路の出力は、MOSFETのゲートに供給されるのみであるので、バイポーラ・トランジスタ205、抵抗203を省略することもできる。また、この回

のため、供給電位がある電位以下では、急激に出力端子230の電位が接地電位になる欠点がある。第8図の回路は、このような低電位供給時の電圧発生回路である。この回路でP型MOSFET804のゲート端子803に、例えば3.5V程度の電位を供給しておく。この状態で、端子801の電位が4.5V程度になると、MOSFET804は、遮断状態となり、端子811の電位は接地電位となる。このため、P型MOSFET805は導通して、端子810の電位は、ほぼ端子802の電位になる。端子801、802の電位が4.5V以上では、端子811の電位はほぼ供給電位となり、P型MOSFET805は遮断状態となり、出力端子810の電位は接地電位となる。ここで、MOSFET806は、端子812には約2Vの電位を与え、ほぼ、一定の電流をMOSFET806に流しておくためのデバイスで、このMOSFET806は抵抗体で置き換えることもできる。

第8図の電圧発生回路と、第2図～第4図の回

路の代わりに、第2図、第4図と類似の回路を用い得ること、さらに、この回路と第8図の回路とを組み合わせることにより、広い範囲の供給電圧範囲において動作する回路にすることができることは、上記の説明と同様である。

第6図は、第1図において一点鎖線で囲んだ回路Cと同様の働きをする他の回路例を示す図である。

第1図の端子2への供給電圧が、端子302、303、602、603に供給される。また、端子623は、第1図のインバータ出力端子3に接続される。この回路の特長は、第1図の回路ではP型MOSFET13、14のゲートが相対するフリップ・フロップ回路の出力端子に接続されているが、このゲートを駆動する回路を新たに設け、高速動作を行わせることにある。以下、動作について説明する。端子623の電位が高レベルから低レベルに変化すると、N型MOSFET608は遮断状態となり、N型MOSFET610が導通する。これにより、P型MOSFET605が

導通し、P型MOSFET 604に電流が流れて端子620を引き上げる。一方、N型MOSFET 611は導通し、N型MOSFET 609が遮断状態となるので、P型MOSFET 606、607には電流が流れず、端子621の電位は引き下げられる。端子623の電位が低レベルから高レベルに変化したときも、同様の動作で出力の電位が変化する。この回路によると、第1図の回路に比べてN型MOSFET 609、610に流れる電流分だけ消費電力は増加するが、P型MOSFETの動作が高速化される分だけ、動作が高速化されるのが特長である。

第7図は、第6図の回路とほぼ同様な動作をする他の例を示す図である。

この回路では、P型MOSFET 604のゲートが、出力端子621に接続されている。このように、第1図と第6図の回路を組み合わせた回路を用いると、消費電力が第6図の回路より少なく、かつ、第1図の回路より高速動作をする回路が得られる。

に移行させることが高速化、消費電力低減のために望ましい。このような配慮をすれば、入力端子1の電位が低レベルから高レベルに変化するときにMOSFET 17、18がともに導通し、出力端子6、7の信号切り換えが遅れる不都合が軽減される。

第11図は、第10図と同様の動作をする本発明の他の実施例を示す回路図である。

本実施例では、第10図に比べ、MOSFET 112、127で構成するインバータを追加し、その電源供給電圧端子118に端子8の電位よりP型MOSFETのしきい値電圧だけ高い電位を供給することにある。第11図の回路動作の説明は省くが、この回路を用いると、入力端子1の入力容量を小さくできるので、信号源インピーダンスが大きいときには、第10図の回路に比べ、高速動作をすること、初段のインバータによって入力信号が波形整形され、端子3の電位変化が急峻になるために、フリップ・フロップ回路の切り換り時の電流が低減されて消費電力が減少する特徴

(5) 第10図は、本発明の他の実施例を示す回路図である。第10図の回路は、第1図において、入力端子1からMOSFET 12、27で構成されるインバータを経てフリップ・フロップ回路（第1図にCと表示）の出力6、7までの回路と同様の動作をする回路である。フリップ・フロップ回路のMOSFET 18のゲートには入力端子1の肯定信号を、また、MOSFET 17のゲートにはインバータによって作られた否定信号を供給している。この回路が第1図の回路と同様の動きをすることは明らかなので説明は省略するが、インバータへの電源供給端子8には第1図の端子8に供給した電圧を供給することが望ましいことは言うまでもない。また、第10図のインバータを構成するMOSFET 12、27のゲート幅は、MOSFET 17、18のゲート幅より大きくし、遅延時間を低減するとともに、N型MOSFET 27のゲート幅をP型MOSFET 12のゲート幅より大きくし、入力が低レベルから高レベルに変化したときにMOSFET 17を早く遮断状態

がある。

第10図、第11図の回路は、第1図の回路に比べ、入力信号が高レベルから低レベルに切り換ったときの遅延時間に比べ、低レベルから高レベルに切り換わったときの遅延時間がやや大きくなること、出力される肯定、否定信号の遅延時間が多少異なる欠点があるが、入力端子の静電容量を小さくできるので、信号源インピーダンスの大きいときには特に有効である。

なお、本発明は、上記各実施例に限定されることはなく、本発明の特許請求の範囲内で種々の変形、変更があり得ることは言うまでもない。

〔発明の効果〕

以上説明したように、本発明によれば、従来の回路では達成できなかった、高速で、かつ、低消費電力の入力バッファ回路を十分な動作余裕をもって実現できるという大きな効果がある。

4. 図面の簡単な説明

第1図は、本発明の第1の実施例の入力バッファ回路を示す回路図、第2図は、第1図の端子8

に供給するのに好適な電源回路を示す回路図、第3図は、他の電源回路を示す図、第4図は、さらに他の電源回路を示す図、第5図は、第1図の回路の端子5に供給するのに好適な電圧発生回路を示す図、第6図は、第1図の回路Cと同様の動きをする他の回路例を示す図、第7図は、第6図の回路とほぼ同様な動作をする他の回路例を示す図、第8図は、第1図の回路の端子8に供給する電圧発生回路の他の例を示す図、第9図は、本発明の入力バッファ回路の他の実施例を示す図、第10図は、本発明の他の実施例を示す回路図、第11図は、本発明の他の実施例を示す回路図である。

1…入力端子

3、5、6、7、8、8'…端子

12…P型MOSFET 12

13…P型MOSFET

14…P型MOSFET

17…N型MOSFET

18…N型MOSFET

25…MOSFET

804…P型MOSFET

805…P型MOSFET

806…MOSFET

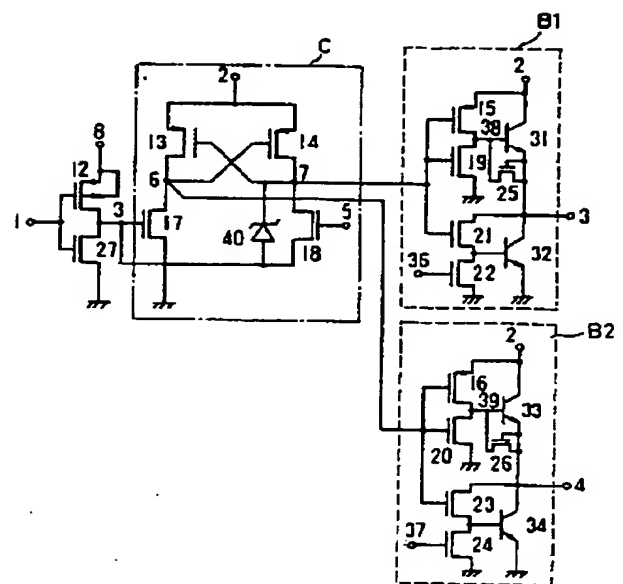
812…端子

901…P型MOSFET

B1、B2…回路

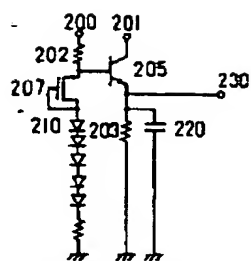
代理人井理士 中 村 純 之 助

- (6) 32、34…バイポーラ・トランジスタ
 36、37、38、39…端子
 40…ショットキーダイオード
 200、201…端子
 203…抵抗
 205、311…バイポーラ・トランジスタ
 207…P型MOSFET
 220…静電容量
 230…出力端子
 302、303、602、603…端子
 305、306、308…MOSFET
 307…N型MOSFET
 309、310…抵抗
 604、605、606、607…P型MOSFET
 620、621、623…端子
 608、609、610、611…N型MOSFET
 801、802、810、811…端子
 803…ゲート端子

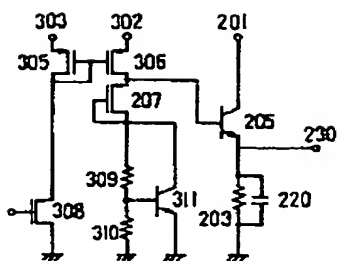


第1図

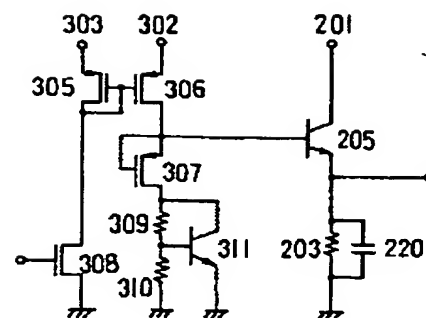
(7)



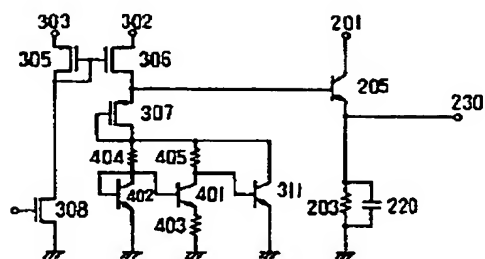
第 2 図



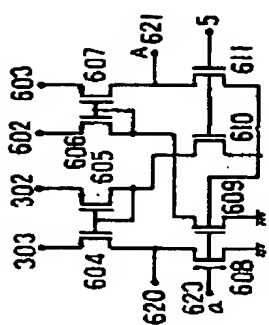
第 3 図



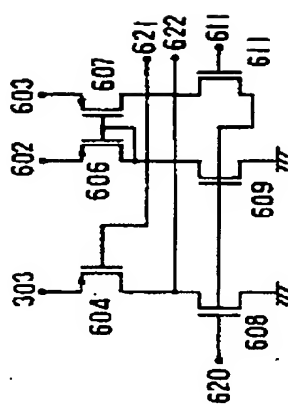
第 5 図



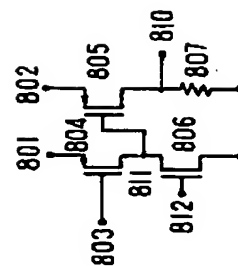
第 4 図



第 6 図

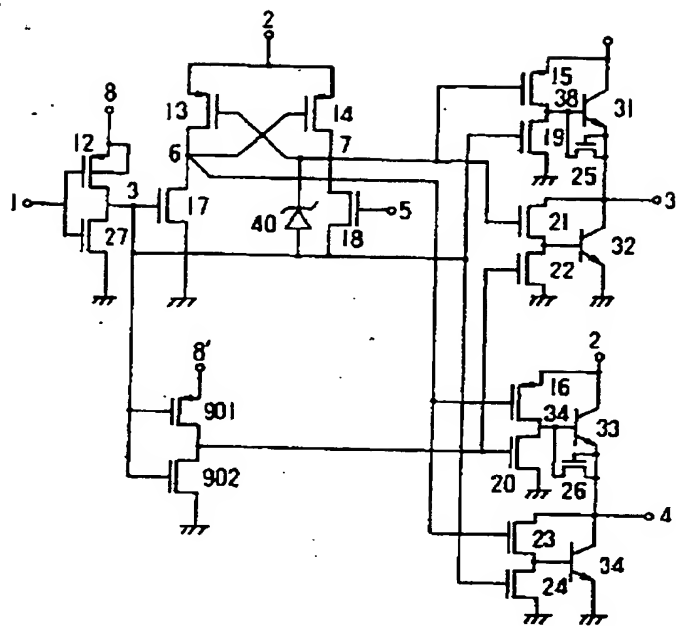


第 7 図

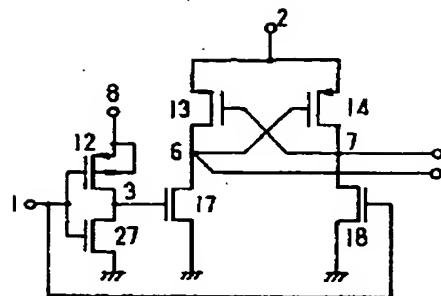


第 8 図

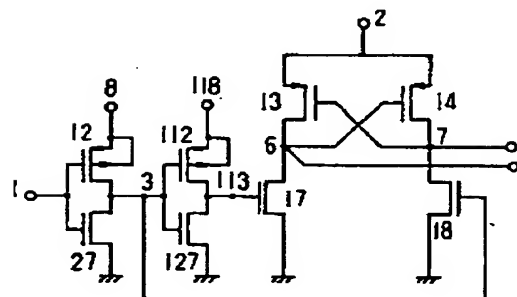
(8)



第 9 図



第 10 図



第 11 図